

JP2002009248 A

CAPACITOR AND ITS MANUFACTURING METHOD

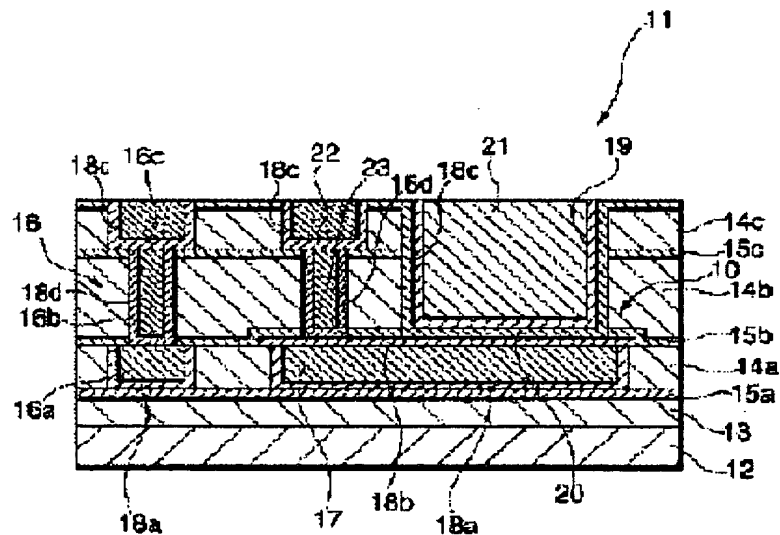
OKI ELECTRIC IND CO LTD

Inventor(s): MATSUHASHI HIDEAKI

Application No. 2000190411 JP2000190411 JP, Filed 20000626, A1 Published
20020111 Published 20020111

Abstract: PROBLEM TO BE SOLVED: To provide a capacitor with prominent durability and high frequency characteristics.

SOLUTION: A capacitor, wherein at least one of a pair of electrodes 17, 21 provided on top and bottom of a dielectric 20 is composed of copper, is provided in the present invention. Barriers 18b and 18c are provided between electrodes 17, 21 formed of copper the dielectric 20 to prevent diffusion of copper to the dielectric.



キャパシタ(具体例1)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-9248

(P2002-9248A)

(43) 公開日 平成14年1月11日 (2002.1.11)

(51) Int.Cl.⁷

識別記号

F I

テ-マ-ト (参考)

H 0 1 L 27/04
21/822
21/3205

H 0 1 L 27/04
21/88

C 5 F 0 3 3
S 5 F 0 3 8

審査請求 未請求 請求項の数 9 O L (全 11 頁)

(21) 出願番号 特願2000-190411 (P2000-190411)

(22) 出願日 平成12年6月26日 (2000.6.26)

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 松橋 秀明

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74) 代理人 100082050

弁理士 佐藤 幸男

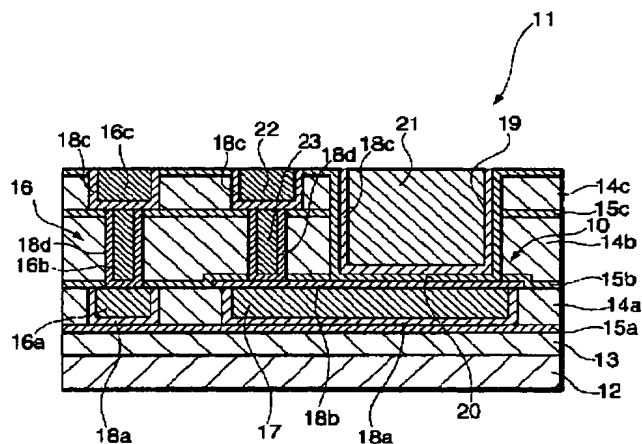
最終頁に続く

(54) 【発明の名称】 キャパシタおよびその製造方法

(57) 【要約】

【課題】 耐久性および高周波特性に優れたキャパシタを提供する。

【解決手段】 誘電体20を挟む一対の電極17、21の少なくとも一方が銅で構成されたキャパシタ。銅で構成された電極17、21と誘電体20との間には、該誘電体への銅の拡散を防止するための障壁18b、18cが設けられている。



キャパシタ (具体例1)

・【特許請求の範囲】

【請求項 1】 誘電体を挟む一对の電極の少なくとも一方が銅で構成されたキャパシタであって、前記一方の電極と前記誘電体との間には、該誘電体への銅の拡散を防止するための障壁が設けられていることを特徴とするキャパシタ。

【請求項 2】 前記誘電体は、酸化シリコンからなり、前記障壁は導電性を示す窒化金属材料からなる請求項 1 記載のキャパシタ。

【請求項 3】 前記窒化金属材料は T a N である請求項 2 記載のキャパシタ。

【請求項 4】 前記窒化金属材料は T i N である請求項 2 記載のキャパシタ。

【請求項 5】 誘電体を挟む一对の電極の少なくとも一方が銅で構成されたキャパシタを半導体基板上に形成するキャパシタ製造方法であって、前記半導体基板または前記誘電体上に、前記一方の電極の所望形状に対応した形状の窒化金属膜が形成され、該窒化金属膜をシードとする電気メッキ法により、前記窒化金属膜上に前記一方の電極が形成されることを特徴とするキャパシタの製造方法。

【請求項 6】 前記窒化金属膜は前記半導体基板上に形成され、前記一方の電極を下方電極とし、該下方電極上に障壁として機能する窒化金属膜が形成され、該窒化金属膜上に前記誘電体が形成され、該誘電体上に上方電極たる他方の前記電極が形成されることを特徴とする請求項 5 記載の製造方法。

【請求項 7】 前記窒化金属膜は、前記誘電体上に形成され、該誘電体と前記一方の電極との間に介在する前記窒化金属膜が銅の拡散に対する障壁として機能する請求項 5 記載の製造方法。

【請求項 8】 前記窒化金属膜の材料は T a N である請求項 5 記載の製造方法。

【請求項 9】 前記窒化金属膜の材料は T i N である請求項 5 記載の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、誘電体を挟む一对の電極が金属材料からなる高周波特性に優れたキャパシタに関し、特に、集積回路に組み込むのに好適なキャパシタの構造およびその製造方法に関する。

【0002】

【従来の技術】MOS トランジスタのようなユニポーラトランジスタあるいはバイポーラトランジスタが用いられる集積回路の動作の高速化を図るための従来技術の一つとして、アルミニウムで構成されていた回路配線をアルミニウムよりも電気抵抗が小さな銅で構成する、いわゆる銅配線技術が知られている。また、このような集積回路のキャパシタについては、誘電体を挟む一对の電極が導電性ポリシリコンからなるいわゆる P I P (Polysil-

licon-Insulator-Polysilicon) キャパシタに比較して、一对の電極が金属材料からなるいわゆる M I M (Metal-Insulator-Metal) キャパシタが、高周波特性に優れ、回路の高速動作特性を高める上で、有利であることが知られている。

【0003】さらに、前記した銅配線技術と、M I M キャパシタの電極をアルミニウムに代えて、これよりも低い電気抵抗を示す銅金属材料で構成する技術とを組み合わせることにより、集積回路の高周波特性に、一層の改善を施すことが可能となることが知られている。

【0004】

【発明が解決しようとする課題】しかしながら、前記したような M I M キャパシタの電極を銅で構成すると、この銅電極を構成する銅原子の一部がキャパシタの両電極間の例えば酸化シリコンからなる誘電体内に拡散を生じる現象が見られた。この銅原子の誘電体への拡散現象は、該誘電体の絶縁特性を劣化させることから、キャパシタの耐圧電気特性の劣化の原因となり、キャパシタに耐久性の低下をもたらす。さらに、銅電極は、その形状の加工に、アルミニウム電極におけるようなエッチング技術を適用できず、所望形状の銅電極を容易に形成することはできなかった。

【0005】

【課題を解決するための手段】本発明は、以上の点を解決するために、次の構成を採用する。

〈構成〉本発明に係るキャパシタは、誘電体を挟む一对の電極の少なくとも一方が銅で構成されたキャパシタであって、前記一方の電極と前記誘電体との間に、該誘電体への銅の拡散を防止するための障壁が設けられていることを特徴とする。

【0006】前記誘電体は、酸化シリコンからなり、前記障壁は、望ましくは、T a N または T i N のような導電性を示す窒化金属材料が用いられる。

〈作用〉前記障壁は、銅電極から前記誘電体への銅原子の拡散を効果的に防止することにより、前記誘電体の銅電極による汚染を防止し、この汚染による誘電体の絶縁性の低下を効果的に防止する。また、導電性を示す前記障壁は、前記キャパシタの前記誘電体の実質的な厚さ寸法の増大を招くことなく、従って、前記キャパシタの不要かつ有害な容量の変更を招くことなく、前記汚染を確実に防止することが可能となる。

【0007】〈構成〉また、本発明に係るキャパシタの製造方法は、誘電体を挟む一对の電極の少なくとも一方が銅で構成されたキャパシタを半導体基板上に形成するキャパシタ製造方法であって、前記半導体基板または前記誘電体上に、前記一方の電極の所望形状に対応した形状の窒化金属膜を形成し、該窒化金属膜をシードとする電気メッキ法により、前記窒化金属膜上に前記一方の電極を形成することを特徴とする。

【0008】前記一方の電極を下方電極とすべく、前記

窒化金属膜を前記半導体基板上に形成し、前記窒化金属膜上に下方電極たる前記一方の電極を形成し、この下方電極上に障壁として機能する窒化金属膜を形成し、該窒化金属膜上に前記誘電体を形成し、該誘電体上に上方電極たる他方の前記電極を形成することができる。

【0009】前記一方の電極を上方電極とすべく、前記窒化金属膜を下方電極上に形成される前記誘電体上に形成し、該誘電体上の前記窒化金属膜上に前記一方の電極を形成することができる。

【0010】〈作用〉前記一方の電極を下方電極および上方電極のいずれに適用しても、この電極は、その下方に形成される前記窒化金属膜をシードとする電気メッキ法により形成されることから、窒化金属膜層を形成し、この窒化金属膜層に例えばホトリソグラフィおよびエッチング技術を施すことにより、所望形状の窒化金属膜を形成した後、該窒化金属膜をシードとする電気メッキ法により前記一方の電極を形成することができ、これにより、比較的容易に所望形状の前記一方の電極を形成することができる。

【0011】また、前記一方の電極を上方電極とすることにより、該上方電極と前記誘電体との間に介在する前記窒化金属膜が銅の拡散に対する障壁として機能することから、該窒化金属膜により、前記上方電極から前記誘電体への銅原子の拡散を効果的に防止することができる。

【0012】

【発明の実施の形態】以下、本発明を図示の実施の形態について詳細に説明する。

〈具体例1〉図1は、本発明に係るキャパシタが組み込まれた集積回路の一部を示す断面図である。本発明に係るキャパシタ10が組み込まれた集積回路11は、例えばシリコン半導体基板12上に形成されている。従来の集積回路における同様に、図示しないが、半導体基板12の活性領域には、MOSトランジスタのようなユニポーラトランジスタあるいはバイポーラトランジスタ等の能動素子が形成されており、従来よく知られているように、半導体基板12上に形成された前記能動素子を含む回路部分を覆うように、例えば、 SiO_2 、 SiOF 、あるいはこれらよりもさらに低い誘電率を示す、いわゆる低誘電体膜等からなる層間絶縁膜13が形成されている。

【0013】層間絶縁膜13上には、さらに、多層配線のための層間絶縁膜14(14a、14bおよび14c)が形成されており、この層間絶縁膜14内に本発明に係るキャパシタ10が形成されている。層間絶縁膜14は、層間絶縁膜13と同様な材料で構成されている。図示の例では、前記キャパシタ10を後述するダマシン法で層間絶縁膜14内に形成するために、層間絶縁膜14は、後述する製造工程でエッチングストップ膜として機能するSiN膜15(15a、15bおよび15c)をそれぞれに介在させて層間絶縁膜14上に形成された下

層部分14a、中間層部分14bおよび上層部分14cで構成されている。また、図示の例では、キャパシタ10の形成領域に近接して、層間絶縁膜14内に前記回路部分のための配線16が形成されている。

【0014】層間絶縁膜14の下層部分14a内には、キャパシタ10の銅からなる下方電極17が形成され、また、配線16のための銅からなる下方配線部16aが形成されている。これら銅からなる下方電極17および下方配線部16aの底面および周面は、前記銅材料部分17および16aと、層間絶縁膜14の下層部分14aとの接触を防止するための障壁層18aで覆われている。

【0015】この障壁層すなわち障壁18aは、銅材料の下層部分14aへの拡散を防止するための導電性を示すTiN材料あるいはTaN材料のような窒化金属材料で形成されている。銅材料の拡散を防止するための障壁18aは、導電性を示す前記TiN材料あるいはTaN材料に代えて、非導電性を示すSiN材料で形成することができる。

【0016】下方電極17の上面は、障壁層18aと同一材料からなる障壁層18bで覆われており、これにより、下方電極17の全ての表面は、導電性を示す障壁18aおよび18bで覆われることにより、層間絶縁膜14との直接の接触が防止されている。

【0017】層間絶縁膜14の下層部分14a上のエッチングストップ膜すなわちSiN膜15bは、下方電極17の上面上に広がる前記障壁18bを覆うように、形成されており、このSiN膜15b、前記SiN膜15cおよび層間絶縁膜14の中間層部分14b、14cに関連して形成された凹所19内に、キャパシタ10の誘電体20および上方電極21が形成されている。

【0018】誘電体20は、 SiO_2 あるいはSiNのような絶縁膜からなり、図示の例では、誘電体20を構成する絶縁膜は、凹所19の底面を規定する障壁18b上から、凹所19の周壁面を覆うべくこれに沿って上方へ伸長し、さらに層間絶縁膜14の前記上層部分14cの上面を覆うべく伸長する。

【0019】前記凹所19内には、上方電極21が、收容されている。上方電極21は、該電極と下方電極17との間に誘電体20を挟むことにより、これらの各部17および20と共にキャパシタ10を構成する。この凹所19内に收容された上方電極21は、前記上層部分14cから露出する上面を除き、その周面および底面が、前記したと同様な障壁層18cにより覆われている。前記上層部分14cから露出する上方電極21の前記上面は、上方電極21のための接続端子となる。

【0020】上方電極21の前記接続端子の近傍には、下方電極17のための銅材料からなる配線部22がその上面を前記上層部分14cおよび誘電体20から露出させて、上層部分14c内に配置されている。銅からなる前記配線部22の上面を除く表面は、前記したと同様な

銅原子の拡散を防止する障壁 18c で覆われており、これにより配線部 22 と層間絶縁膜 14 の上層部分 14c との接触が防止されている。配線部 22 は、SiN 膜 15c、層間絶縁膜 14 の中間層部分 14b および SiN 膜 15b を経て下方電極 17 に伸びるスタッド部 23 を経て、下方電極 17 に接続されている。

【0021】スタッド部 23 は、図示の例では、タングステン W（以下、単に W と称す。）からなり、その上面を除く表面は、前記した障壁 18a および 18b と同様な窒化金属材料層 18d で覆われている。スタッド部 23 と中間層部分 14b との間に介在する窒化金属材料層 18d は、W からなるスタッド部 23 と中間層部分 14b との結合作用を高める作用をなす。

【0022】また、配線 16 の下方配線部 16a は、前記したスタッド部 23 におけると同様な窒化金属材料層 18d で覆われた W からなるスタッド部 16b を経て、銅からなりかつ上面を除く表面が前記したと同様な障壁 18c で覆われた上方配線部 16c に接続されている。

【0023】前記集積回路 11 では、前記キャパシタ 10 の銅材料で構成された部分である下方電極 17、上方電極 21 および配線部 22 と、層間絶縁膜 14 との間には、それぞれ銅原子の層間絶縁膜 14 への拡散を防止するための TiN 材料からなる障壁 18a、18b および 18c が設けられている。また、配線 16 の銅材料で構成された部分である下方配線部 16a および上方配線部 16c と、層間絶縁膜 14 との間にも、それぞれ銅原子の層間絶縁膜 14 への拡散を防止するための TiN 材料からなる障壁 18a および 18c が設けられている。

【0024】前記障壁 18（18a、18b および 18c）は、銅原子の層間絶縁膜 14 あるいは誘電体 20 への拡散を防止することにより、この拡散によって引き起こされる絶縁膜 14 および 20 の絶縁特性の劣化を防止する。従って、層間絶縁膜 14 および誘電体 20 の銅原子による絶縁性の劣化を招くことなく、導電性に優れた銅金属材料を前記した回路構成部分に用いることができることから、集積回路 11 の高周波特性の向上を図ることができる。

【0025】特に、キャパシタ 10 に関しては、銅からなる両電極 17 および 21 と、誘電体 20 との間に、障壁 18（18b および 18c）を介在させることにより、誘電体 20 への銅原子の拡散を確実に防止することができ、この拡散による誘電体 20 の絶縁特性の劣化を防止することができることから、誘電体 20 の絶縁特性を確実に維持することができる。従って、キャパシタ 10 の誘電体 20 の絶縁性の劣化による容量の変化をもたらすことなく、キャパシタ 10 の高周波特性を好適に改善かつ維持することができることから、両電極 17 および 21 に銅材料を用いる利点を大いに生かすことができる。

【0026】上方電極 21 と下方電極 17 との間に介在

する障壁 18b および 18c には、前記した非導電性材料を用いることができる。しかしながら、非導電性材料からなる前記障壁は、両電極 21 および 17 間に介在することにより、誘電体 20 の実質的な厚さ寸法の変更をもたらすことから、キャパシタ 10 に、前記障壁の厚さ寸法のばらつきに応じた容量変化をもたらす。これに対し、具体例 1 に示したように、導電性材料からなる障壁 18b および 18c を用いることにより、該障壁の厚さ寸法のばらつきに拘わらず、キャパシタ 10 に、当初に設定される誘電体 20 の厚さ寸法に応じた適正な容量を得ることができる。

【0027】図 1 に示したキャパシタ 10 の製造方法を図 2 に沿って説明する。図 2 では、図面の簡素化のために、半導体基板 12 が省略されている。図 2（a）～図 2（e）は、いわゆるダマシン法を用いて埋め込み型のキャパシタ 10 を形成する方法を示す。

【0028】図 2（a）に示されているように、前記半導体基板 12（図示せず）上に前記層間絶縁膜 13 が形成され、該層間絶縁膜上には、エッチングストップ膜となる SiN 膜 15a が形成される。図示しないが、SiN 膜 15a および層間絶縁膜 13 には、必要に応じて、該層間絶縁膜下の前記回路部分に至るスルーホールが形成される。その後、層間絶縁膜 14 の下層部分 14a が形成され、該下層部分 14a には、図示しないが、レジストパターンおよびエッチングを用いた従来よく知られたフォトリソ・エッチング技術により、下方電極 17 および下方配線部 16a のための凹所 24 およびトレンチ 25 が、それぞれ形成される。この凹所 24 およびトレンチ 25 のための下層部分 14a のエッチングに際し、SiN 膜 15a は、エッチングストップ膜として作用することから、該 SiN 膜 15a 下の層間絶縁膜 13 がこのエッチング処理から保護される。

【0029】凹所 24 およびトレンチ 25 の表面には、図示しないが、下層部分 14a の表面を含むそれらの全面にスパッタ法により、前記した導電性を示す TiN 材料あるいは TaN 材料が堆積される。この堆積材料のうち、下層部分 14a の前記表面上の不要な堆積部分が除去され、これにより、図 2（b）に示されているように、凹所 24 およびトレンチ 25 の壁面に障壁層 18a が形成される。この障壁層 18a は、前記したとおり、導電性材料からなり、これをシード層とする電気メッキ法により、凹所 24 およびトレンチ 25 内には、これら凹所 24 およびトレンチ 25 から盛り上がるように、銅材料が堆積される。下層部分 14a の表面から突出する銅材料の不要部分は、化学機械研磨法（CMP）により除去され、これにより図 2（b）に示されているように、凹所 24 およびトレンチ 25 には、障壁層 18a を介して凹所 24 およびトレンチ 25 のそれぞれに収容される下方電極 17 および下方配線部 16a が形成される。

【0030】凹所 24 およびトレンチ 25 内の下方電極

17および下方配線部16a上を含む下層部分14aの表面には、例えばスパッタ法により、障壁18bのための例えばTiN膜が堆積される。この堆積膜のうち、図示しないレジストパターンを用いたエッチングにより、凹所24内の下方電極17から大きくはみ出した不要部分が除去され、これにより、図2(c)に示されているように、下方電極17の露出する上面を覆う障壁18bが形成される。従って、これら障壁18aおよび18bは、互いに共同して、下方電極17の全表面を覆う。

【0031】図2(d)を参照するに、障壁18bおよび下方配線部16a上を含む下層部分14a上には、SiN膜15aと同様なSiN膜15bが形成され、さらに、該SiN膜上には、前記中間層部分14bが堆積される。この中間層部分14bの上面には、障壁18bの縁部に対応した段部が残るが、該段部は、従来よく知られた平坦化プロセスにより、除去され、これにより、中間層部分14bの上面は、図2(d)に示されているように、平坦となる。この平坦な中間層部分14bの上面には、SiN膜15cが形成される。

【0032】その後、従来よく知られたレジストパターンおよびエッチングにより、SiN膜15c、中間層部分14bおよびSiN膜15bを経て、下方電極17上の障壁18bに至るスルーホール26および下方配線部16aに至るスルーホール27がそれぞれ形成される。

【0033】前記した凹所24およびトレンチ25の壁面への障壁18aの形成方法におけると同様なスパッタ法を用いて、スルーホール26および27のそれぞれの壁面およびSiN膜15c上に、TiN膜のような窒化金属材料層18dが形成される。CVD法を用いて、この窒化金属材料層18d上にW層が成長され、スルーホール26および27内からはみ出す不要な前記窒化金属材料層およびWが除去されることにより、スタッド部23およびスタッド部16bがそれぞれ形成される。窒化金属材料層18dは、スタッド部23および16bを構成するWの中間層部分14bまたは下方配線部16aへの接着強度を高める作用をなす。

【0034】また、前記した不要な窒化金属材料層およびWの除去によって露出するSiN膜15cの露出面上には、図2(e)に示されているように、層間絶縁膜14の上層部分14cが形成される。その後、上層部分14cおよび中間層部分14bには、前記したと同様なエッチングマスクとなるレジストパターン(図示せず)を用いた選択エッチングにより、障壁18bを部分的に露出させる凹所19が形成される。凹所19の壁面および上層部分14cの上面上には、CVD法により、誘電体のためのSiO₂あるいはSiNのような絶縁膜20が形成される。

【0035】その後、図2(e)に示されているように、前記したと同様なホトリソグラフィおよびエッチングにより、配線部22および上方配線部16cのための

トレンチ28および29が上層部分14cにそれぞれ形成される。凹所19および各トレンチ28および29の壁面には、前記したと同様なスパッタ法により、窒化金属膜18cがそれぞれ形成される。これら窒化金属膜18cをシード層とする金属メッキ法により、前記凹所19、各トレンチ28および29内には、銅金属が堆積され、それらの過剰部分がCMPにより除去される。これにより、銅からなる上方電極21、配線部22および上方配線部16cがそれぞれ形成され、その結果、図1に示した集積回路11が形成される。

【0036】前記したように、銅原子の拡散による汚染を防止するための障壁18(18a~18c)に、窒化金属膜のような導電性金属を用いることにより、障壁18(18bおよび18c)の厚さ寸法のばらつきによるキャパシタ10の容量変化を防止することができる。この点に加えて、前記障壁18(18a~18c)を導電性金属で形成することにより、前記したように、銅からなる電極17および21あるいは下方配線部16a等の形成のための電気メッキのシード層として利用することができ、製造効率の向上を図ることが可能となる。

【0037】従って、図2に示した製造方法を用いることにより、図1に示したキャパシタ10を含む集積回路11を効率的に製造することができる。

【0038】〈具体例2〉図2は、本発明に係るキャパシタの具体例2を示す図1と同様な図面である。具体例2のキャパシタ10では、具体例1に示した銅からなる上方電極21に代えて、Wからなる上方電極30が用いられている。また、前記した誘電体として、エッチングストップ膜として機能するSiN膜15cが利用されている。

【0039】層間絶縁膜14の中間層部分14bには、上方電極のための凹所19が形成されている。中間層部分14bの上面を覆うSiN膜15cは、凹所19の壁面を覆うべく、該壁面に沿って伸長する。Wからなる上方電極30は、前記したと同様な導電性を示す窒化金属材料層18dを介して、表面がSiN膜15cで覆われた凹所19内に収容されている。上方電極30は、下方電極17および両電極17および30間に配置されたSiN膜15cすなわち誘電体膜と共に、キャパシタ10を構成する。上方電極30を覆う窒化金属材料層18dは、Wからなる上方電極30とSiN膜15cとの結合を高める。

【0040】上方電極30上には、該電極のための配線部31が層間絶縁膜14の上層部分14cから露出して該上層部分14c内に設けられている。配線部31は銅材料からなり、該配線部と上層部分14cとの間には、下方電極17のための配線部22および配線部16の上方配線部16cにおけると同様に、前記配線部31の銅原子の上層部分14cへの拡散を防止するための障壁18cが設けられている。

【0041】また、銅材料からなる下方電極17は、図1に示した例におけると同様に、障壁18aおよび18bで覆われていることから、層間絶縁膜14の前記下層部分14aおよびSiN膜15cへの銅原子の拡散が確実に防止される。

【0042】従って、層間絶縁膜14の銅原子の拡散による絶縁性の劣化を招くことなく、キャパシタ電極17および配線部22および31を導電性に優れた銅で構成することができ、これにより集積回路11の高周波特性の向上を図ることができる。

【0043】図4は、図2に示した同様なダマシン法を用いて、図3に示したキャパシタ10を製造する方法を示す。図4では、図3におけると同様に、半導体基板12が省略されている。

【0044】図4(a)は、図2(c)に示したと同様に、層間絶縁膜13上のSiN膜15a上には、層間絶縁膜14の下層部分14aが堆積される。下層部分14aには、図2に沿って説明したと同様な手順により、銅からなる下方電極17および下方配線部16aのそれぞれが、障壁18aを介在させて埋設され、また、露出する下方電極17上には、これを覆う障壁18bが形成される。

【0045】図4(b)に示されているように、障壁18bの形成後、該障壁および下層部分14aの露出面を覆うSiN膜15bが形成され、さらにSiN膜15b上に層間絶縁膜14のための中間層部分14bが堆積される。前記中間層部分14bには、ホトリソグラフィにより形成されるレジストパターン(図示せず)をエッチングマスクとする選択エッチングにより、下方電極17の障壁18b上に開放する凹所19が形成される。

【0046】凹所19の形成後、図4(c)に示すように、一部が誘電体として作用しかつエッチングストップとして機能するSiN膜15cが、CVD法により、凹所19の壁面および前記中間層部分14bの上面を覆って形成される。その後、図2(d)に沿って説明したと同様な手順に従って、スルーホール26および27が形成される。前記したスルーホール26および27内への窒化金属材料層18dの形成およびWの充填におけると同様な手順に従い、スルーホール26、27および凹所19内には、窒化金属材料層18dが形成され、該窒化金属層上には、Wが充填される。これにより、凹所19内には、窒化金属材料層18dを介して中間層部分14bに強固に結合される上方電極30が形成され、また各スルーホール26および27内には、図2(d)に示したと同様なスタッド部23および16bが形成される。

【0047】上方電極30およびスタッド部16b、23が中間層部分14b内に形成され、SiN膜15cの上面が平坦化処理を受けた後、図4(d)に示されているように、SiN膜15c上には、上方電極30、スタッド部16bおよび23を埋め込む前記上層部分14cが形

成される。

【0048】上層部分14cには、前記したと同様なフォトリソおよびエッチングにより、配線部31、配線部22および上方配線部16cのための各トレンチ32、28および29がそれぞれ形成され、具体例1の配線部22および上方配線部16cにおけると同様な手順により、各トレンチ32、28および29の壁面に窒化金属材料層からなる障壁18dが形成され、これをシード層とする電気メッキ法により、配線部31、配線部22および上方配線部16cのそれぞれが形成される。

【0049】図4に示した方法によれば、前記したように、絶縁膜の銅金属による絶縁性の劣化を防止する障壁を銅メッキのシード層として利用することができることから、銅金属による前記絶縁膜の劣化を招くことなく高周波特性に優れ、しかも上方電極30上に配線部31を有する図3に示したキャパシタ10を含む集積回路11を効率的に形成することができる。

【0050】〈具体例3〉図5は、上方電極が窒化金属膜からなる例を示す。図5に示す具体例3のキャパシタ10では、具体例2に示したWからなる上方電極30に代えて、例えばTiN膜のような導電性を示す窒化金属材料からなる電極33が用いられている。また、前記窒化金属材料からなる上方電極33は、前記したWあるいは銅に比較して電気抵抗が高いことから、その低抵抗化のために、上方電極33と、配線部31との間には、複数のスタッド部34が設けられている。

【0051】各スタッド部34は、Wからなり、前記したと同様な層間絶縁膜14との結合性を高めるための窒化金属材料層18dが、その表面に設けられている。また、両電極17および33間の誘電体20には、具体例1におけると同様なSiO₂あるいはSiNのような絶縁膜が用いられている。その他の図3におけると同様な機能部分には、図3におけると同一の参照符号が付されている。

【0052】図6に、前記したと同様なダマシン法を用いて、図5に示したキャパシタ10を製造する方法を示す。図6では、半導体基板12が省略されている。

【0053】図2(b)と同一である図6(a)に示されているように、層間絶縁膜13上のエッチングストップ膜であるSiN膜15a上には、層間絶縁膜14の下層部分14aが堆積される。下層部分14aには、具体例2で説明したと同様な手順により、銅からなる下方電極17および下方配線部16aのそれぞれが、障壁18aを介在させて埋設される。これら下方電極17および下方配線部16aが埋設された下層部分14aの上面は、前記したと同様な平坦化処理を受ける。

【0054】図6(b)に示されているように、平坦化処理を受けた下層部分14aの上面には、障壁層18bのための窒化金属材料層がスパッタ法により、形成される。さらに、窒化金属材料層18d上には、CVD法に

より、誘電体20のための前記絶縁膜が形成される。この絶縁膜(20)は、平坦な障壁層18bに形成されることから、ほぼ均一な厚さ寸法を有する平板状に形成される。

【0055】前記絶縁膜(20)上には、上方電極33のためのTiN膜(33)がスパッタ法により形成された後、前記したと同様なエッチングマスクを得るためのフォトリソおよびこのエッチングマスクを用いた選択エッチングにより、前記TiN膜の不要部分が除去され、これにより、誘電体20上に上方電極33が形成される。

【0056】さらに、前記したと同様なフォトリソおよび選択エッチングにより、上方電極33の下方に位置する誘電体20および障壁層18bの不要部分が除去され、図6(c)に示されているように、下方配線部16aが下層部分14aの上面から露出される。

【0057】その後、図6(d)に示されているように、エッチングストップ膜として機能するSiN膜15bおよび層間絶縁膜14の前記中間層部分14bが堆積され、該中間層部分14bの上面に平坦化処理を施した後、前記したと同様なSiN膜15cが形成される。前記したと同様なフォトリソおよびエッチングにより、前記SiN膜15および中間層部分14bを経る各スタッド部34、23および16bのためのスルーホール35、26および27が、形成される。

【0058】各スルーホール35、26および27の壁面には、スパッタ法により、窒化金属材料層18dが形成され、該窒化金属材料層上に、CVD法によりWが堆積され、それらの過剰分が除去されることにより、各スルーホール35、26および27には、前記したと同様な結合力を高めるための窒化金属材料層18dを備える各スタッド部34、23および16bが形成される。

【0059】SiN膜15cの上面には、図6(e)に示されているように、スタッド部34、23および16bを埋め込む前記上層部分14cが形成される。

【0060】上層部分14cには、前記したと同様なフォトリソおよびエッチングにより、配線部31、配線部22および上方配線部16cのための各トレンチ32、28および29がそれぞれ形成され、具体例2におけると同様な手順により、各トレンチ32、28および29の壁面に窒化金属材料層からなる障壁18dが形成され、これをシード層とする電気メッキ法により、配線部31、配線部22および上方配線部16cのそれぞれが形成される。

【0061】上方電極33がTiN膜のような導電性窒化金属材料層からなる具体例3のキャパシタ10では、上方電極33の高抵抗性を補うために、配線部31の面積を上方電極33のそれに等しくあるいはそれ以上とすることが望ましい。

【0062】図4に示した方法によれば、具体例2におけると同様に、絶縁膜の銅金属による絶縁性の劣化を防

止する障壁を銅メッキのシード層として利用することができることから、銅金属による前記絶縁膜の劣化を招くことなく高周波特性に優れ、しかも上方電極33上に配線部31を有する集積回路11を効率的に形成することができる。

【0063】さらに、具体例1および具体例2では、上方電極21または30の外縁に沿って、誘電体15cまたは20の縁部に立ち上がり部が形成されるが、具体例3では、誘電体20にこのような立ち上がり部が形成されてはおらず、具体例3の誘電体20は、平坦な平板状で構成されている。前記誘電体に前記したような立ち上がり部が形成されると、その角部で欠損部を生じ易く、また、その厚さが不均一になり易い。このため、前記した立ち上がり部を有する誘電体では、欠損部分での電流のリークを確実に防止すべく、前記誘電体に比較的大きな厚さ寸法を確保する必要があるために、全体的に誘電体の厚さ寸法が増大する結果となる。このような誘電体の厚さ寸法の増大は、キャパシタ10の容量の低下を招く。

【0064】これに対し、具体例3に示すように、誘電体に立ち上がり部を設けることなく、これを平板状とすることにより、欠損部分を生じることなく所望の厚さ寸法の誘電体20を比較的容易に形成することが可能となる。従って、特性が均一な高容量、高周波特性に優れたキャパシタ10を形成する上で、具体例3は、有利である。

【0065】〈具体例4〉図7に示すキャパシタ10は、図3に示した具体例2のキャパシタ10と、障壁層18bおよびSiN膜15bに関する違いがある点を除いて、同一である。

【0066】具体例2のキャパシタ10の製造工程を示す図4(a)に示されているように、具体例2では、下層部分14a上に障壁層18bを形成するために、下層部分14aの上面の全域を覆う窒化金属材料層(18b)を形成し、フォトリソおよびエッチングによって前記窒化金属材料層にパターニングを施し、このパターニングにより、前記窒化金属材料層の不要部分が除去され、これにより、障壁層18bが形成される。

【0067】具体例2では、この障壁層18を形成するための前記パターニングでのエッチングで、図4(a)に示すように、下方配線部16aの周壁面を取り巻く窒化金属材料層からなる障壁18aの上縁18a'がエッチングを受けると、引き続くSiN膜15cの形成で、前記エッチングにより形成された凹所に窒化金属材料層18aよりも高い電気抵抗を示すSiN膜15cがこの凹所に進出し、該凹所を埋め込む。

【0068】このSiN膜15cの進出し、下方配線部16aおよびその周面を取り巻く障壁層18aを含む導電部の実質的な電気抵抗の増大を招く結果となり、下方配線部16aとスタッド部16bが同一径を有する、いわ

ゆるボーダレス配線では、電気抵抗の大きな増大の原因となる。

【0069】これに対し、具体例4では、その製造工程を示す図8(a)に示すとおり、層間絶縁膜13上のエッチングストップ膜であるSiN膜15a上には、層間絶縁膜14の下層部分14aが堆積され、この下層部分14aに、具体例2で説明したと同様な手順により、銅からなる下方電極17および下方配線部16aのそれぞれが、障壁18aを介在させて埋設された後、下層部分14aの上面が平坦化処理を受ける。

【0070】前記した平坦化処理の後、下層部分14aの上面には、その全面に渡ってエッチングストップ膜として機能するSiN膜15bが堆積される。従って、このSiN膜15bは、下層部分14a、下方配線部16aおよびそれらの障壁層18aに進入することではなく、平坦な下面を有するSiN膜15bにより、下層部分14a内の下方配線部16aおよびその障壁層18bは覆われる。

【0071】下層部分14a上のSiN膜15bは、前記したフォトリソおよびエッチングにより、図8(b)に示されているように、下方電極17を露出させるべく、所定箇所が除去され、露出した下方電極17上には、障壁層18bが堆積される。これにより、障壁層18bの外縁がSiN膜15bの内縁上に位置するように形成される。

【0072】前記したSiN膜15bのエッチング処理では、配線16の前記下方配線部16aおよびこれを取り巻く障壁18aは、図8(b)に示されているように、SiN膜15b下におかれることから、前記した図4

(a)に示したような障壁層18aの上縁18aがエッチングにより除去されることはない。

【0073】前記SiN膜15bおよび障壁層18b上には、具体例2に沿って説明したと同様に、中間層部分14bおよびSiN膜15cが堆積され、窒化金属材料層18dを有する上方電極30、スタッド部23およびスタッド部16bがそれぞれ形成された後、SiN膜15c上に上層部分14cが形成され、さらに該上層部分に配線部31、配線部22および上方配線部16c等が形成されることにより、図7に示したキャパシタ10が形成される。

【0074】図8に示した具体例4のキャパシタ10の製造方法によれば、前記したとおり、配線16の下方配線部16aを取り巻く障壁層18aの上縁にSiN膜15bが入り込むことはなく、配線16に、いわゆるボーダレス配線が適用されても、下方配線部16aに関連した電気抵抗の増大部が生じることはない。

【0075】本発明に係るキャパシタ10は、MOSトランジスタのようなユニポーラトランジスタあるいはバイポーラトランジスタと組み合わせて使用することができる。

【0076】

【発明の効果】本発明に係るキャパシタによれば、前記したように、銅で構成された電極と誘電体との間に介在する障壁が前記銅電極から前記誘電体への銅原子の拡散を確実に防止することから、この銅原子の前記誘電体への拡散による汚染が防止され、該誘電体の前記銅汚染による電気抵抗の低下が防止されることから、前記した拡散汚染によるキャパシタの劣化が防止され、これにより高周波特性に優れたキャパシタの耐久性の向上を図ることが可能となる。

【0077】また、本発明に係るキャパシタの製造方法によれば、前記したように、銅で構成される電極は、その下方に形成される前記窒化金属膜をシードとする電気メッキ法により形成されることから、前記窒化金属膜を所望形状に形成することにより、この窒化金属膜に沿った所望形状に前記電極を形成することができ、これにより、所望形状の銅電極を備える高周波特性に優れたキャパシタを比較的容易に形成することができる。

【図面の簡単な説明】

【図1】本発明に係るキャパシタの具体例1の構造を示す縦断面図である。

【図2】図1に示したキャパシタの製造方法を示す製造工程図である。

【図3】本発明に係るキャパシタの具体例2の構造を示す縦断面図である。

【図4】図3に示したキャパシタの製造方法を示す製造工程図である。

【図5】本発明に係るキャパシタの具体例3の構造を示す縦断面図である。

【図6】図5に示したキャパシタの製造方法を示す製造工程図である。

【図7】本発明に係るキャパシタの具体例4の構造を示す縦断面図である。

【図8】図7に示したキャパシタの製造方法を示す製造工程図である。

【符号の説明】

10 キャパシタ

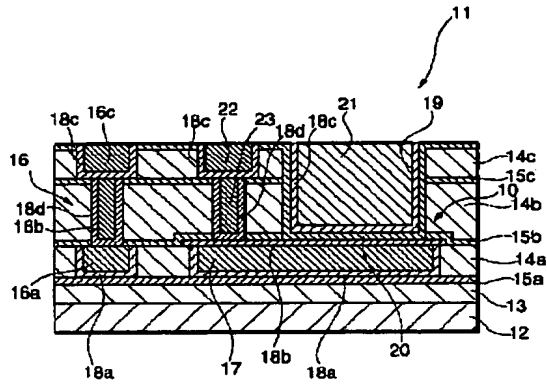
11 集積回路

15c、20 誘電体

17、21、31、33 電極

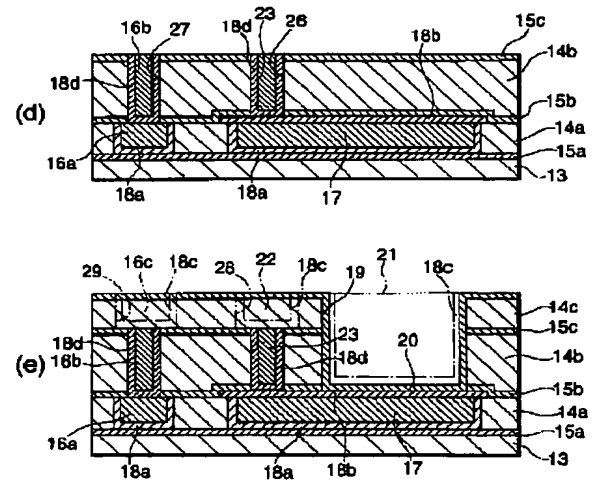
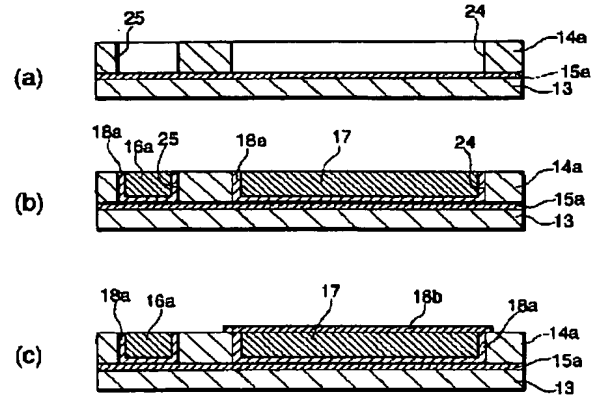
18b、18c 障壁

【図 1】



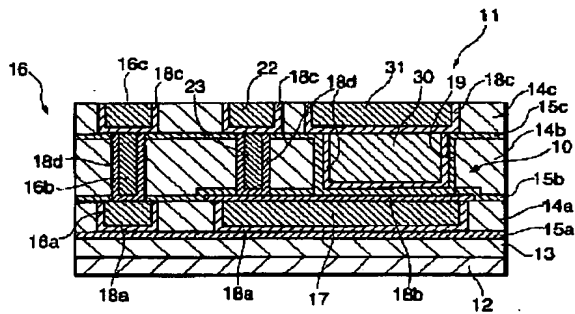
キャパシタ(具体例 1)

【図 2】



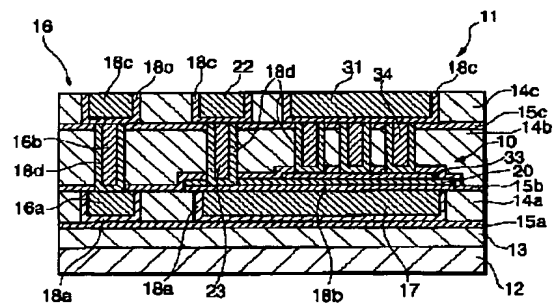
キャパシタ(具体例 1)の製造工程図

【図 3】



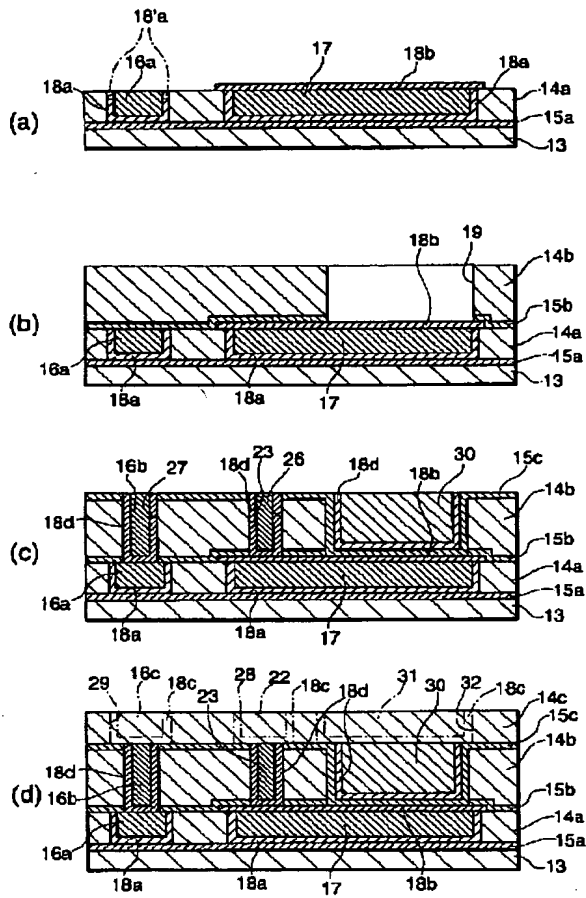
キャパシタ(具体例 2)

【図 5】



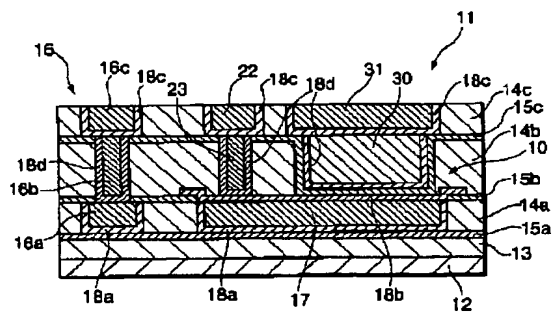
キャパシタ(具体例 3)

【図 4】



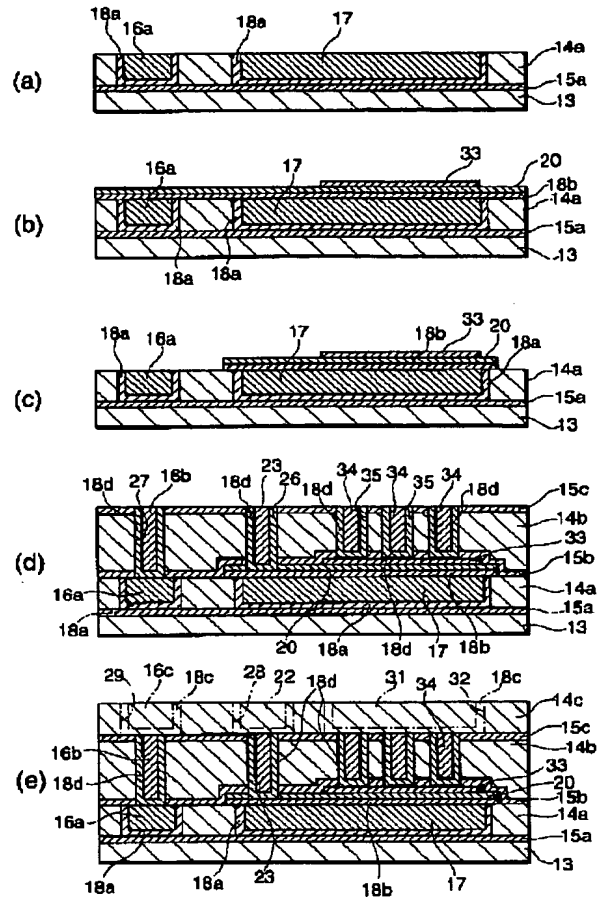
キャパシタ(具体例2)の製造工程図

【図 7】



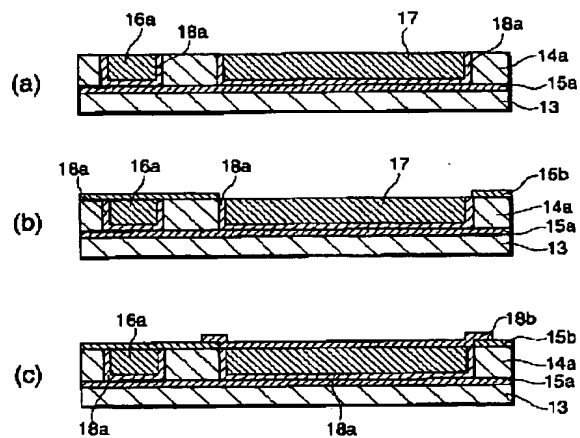
キャパシタ(具体例4)

【図 6】



キャパシタ(具体例3)の製造工程図

【図 8】



キャパシタ(具体例4)の製造工程図

フロントページの続き

Fターム(参考) 5F033 HH11 HH32 HH33 JJ19 JJ32
JJ33 KK11 KK32 KK33 MM01
MM12 MM13 NN06 NN07 PP09
PP15 PP27 QQ09 QQ10 QQ25
QQ37 QQ48 RR04 RR06 RR11
SS11 TT02 VV10 XX00 XX28
5F038 AC05 AC09 AC14 AC15 AC18
EZ11 EZ20